

CLIPPEDIMAGE= JP406045342A

FAT-NO: JP406045342A

DOCUMENT-IDENTIFIER: JP 06045342 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: February 18, 1994

INVENTOR-INFORMATION:

NAME

KANAMORI, SHUJI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04217199

APPL-DATE: July 23, 1992

INT-CL (IPC): H01L021/331;H01L029/73

US-CL-CURRENT: 433/FOR.165,257/592 ,433/365

ABSTRACT:

PURPOSE: To reduce the resistance between an base and an emitter by shortening the distance between an emitter region and a graft base region.

CONSTITUTION: A base region 3 is formed in the surface area of a p-type silicon substrate 1, and graft base regions 5 are formed on both sides of it, and an emitter region 6 is formed in the base region 6. The polysilicon film on the graft base region is constituted of a high-concentration base polysilicon film 4a and a low-concentration base polysilicon film 4b. At patterning of these polysilicon films, the low-concentration polysilicon film is high in etching

rate, so the polysilicon film 4a is side-etched greatly
Ions are implanted into
the emitter region, with the photoresist mask used at
etching left.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-45342

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/331
29/73

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-217199

(22)出願日 平成4年(1992)7月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 金森 修二

東京都港区芝五丁目7番1号 日本電気株式会社内

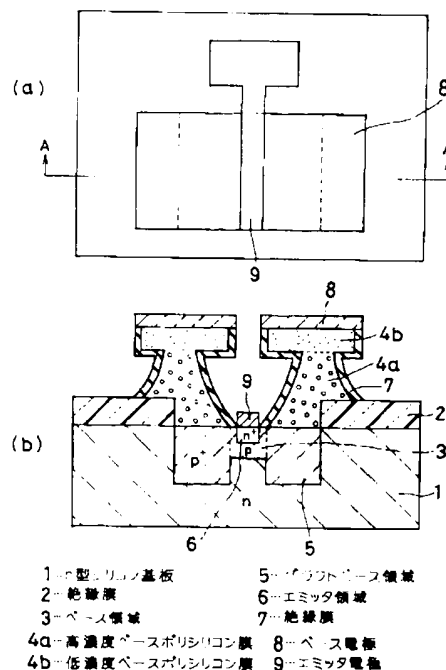
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 エミッタ領域-グラフトベース領域間の距離を短くして、ベース-エミッタ間抵抗を減少させる。

【構成】 n型シリコン基板1の表面領域内にベース領域3が形成されており、その両側にはグラフトベース領域5が形成され、ベース領域3内にはエミッタ領域6が形成されている。グラフトベース領域上のポリシリコン膜は、高濃度ベースポリシリコン膜4aと低濃度ベースポリシリコン膜4bとで構成される。これらのポリシリコン膜のパターニング時において、高濃度ポリシリコン膜はエッチングレートが高いため、ポリシリコン膜4aは大きくサイドエッチされる。このエッチング時に用いたフォトリソマスクを残したままエミッタ領域のイオン注入を行う。



【特許請求の範囲】

【請求項1】 ベース領域の周辺にグラフトベース領域が設けられ、前記グラフトベース領域上に、多結晶シリコン膜が設けられ、前記ベース領域の表面領域内にエミッタ領域が設けられている半導体装置において、前記多結晶シリコン膜は、底面が前記ベース領域に接する角錐台形状の第1の多結晶シリコン膜と、前記第1の多結晶シリコン膜上に形成された、外周部が前記第1の多結晶シリコン膜から錐状に張り出している板状の第2の多結晶シリコン膜と、で構成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、特に、高速度作用のバイポーラトランジスタを含む半導体装置に関する。

【0002】

【従来の技術】図3はこの種従来の高周波用バイポーラトランジスタの断面図である。図3において、1は、コレクタ領域を構成するn型シリコン基板、2は絶縁膜、3はp型領域であるベース領域、4は高濃度ベースポリシリコン膜、5は、ベース領域3を挟むように形成された高濃度p型領域であるグラフトベース領域、6は高濃度n型領域であるエミッタ領域、7aは絶縁膜、8aはベース電極、9aはエミッタ電極、10は高濃度エミッタポリシリコン膜である。

【0003】而して、トランジスタの高速度動作を実現するためには、エミッターベース間の抵抗を極力下げる必要がある。そのためには、エミッタ領域とグラフトベース領域との距離を近づける必要がある。従来はそれをトランジスタを小型化することや絶縁膜7aを薄くすることによって実現してきた。

【0004】

【発明が解決しようとする課題】上述した従来のトランジスタでは、エミッタ領域6aを、ポリシリコンの上から不純物イオンを注入することにより形成しているのが、エミッタ開孔の周辺部分ではポリシリコン膜が厚く堆積されているため、エミッタ開孔部全面にイオン注入を行うことができない。そのため、例えば、絶縁膜7aの膜厚が1000Åでポリシリコン膜1の膜厚が2000Åであるとき、エミッタ領域、グラフトベース領域間の距離は3000Åと大きくなり、ベース・エミッタ間の抵抗を下げるのが困難であった。

【0005】

【課題を解決するための手段】本発明の半導体装置は、ベース領域の周辺にグラフトベース領域が設けられ、前記グラフトベース領域上に、多結晶シリコン膜が設けられ、前記ベース領域の表面領域内にエミッタ領域が形成されたものであって、前記多結晶シリコン膜は、底面が前記ベース領域に接する角錐台形状の第1の多結晶シリ

コン膜と、前記第1の多結晶シリコン膜上に形成された、外周部が前記第1の多結晶シリコン膜から錐状に張り出している板状の第2の多結晶シリコン膜と、で構成されていることを特徴としている。

【0006】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1の(a)は、本発明の第1の実施例の平面図であり、図1の(b)はそのA-A線の断面図である。この実施例の半導体装置は以下のように作製される。n型シリコン基板1上にCVD法によりSiO₂を1800Åの厚さに堆積して絶縁膜2を形成し、フォトリソニング法により絶縁膜2のトランジスタ形成箇所を開孔する。

【0007】絶縁膜2をマスクにボロンをイオン注入して10¹⁷cm⁻³程度の不純物濃度のベース領域3を形成する。次に、ポリシリコンを堆積しボロンをイオン注入して不純物濃度が5×10¹⁷cm⁻³の高濃度ポリシリコン膜を形成し、続いてその上にポリシリコンを成長させボロンを10¹⁷cm⁻³の濃度に導入して低濃度ポリシリコン膜を形成する。

【0008】次に、エミッタ形成領域を除く絶縁膜2の開孔部分を覆うフォトリソリットマスクを形成し、硝酸系エッチング液にてポリシリコン膜をエッチングして、高濃度ベースポリシリコン膜4aと低濃度ベースポリシリコン膜4bとを形成する。このとき、不純物濃度差によるエッチングレートの違いによって、高濃度ベースポリシリコン膜4aは角錐台形状に形成される。

【0009】次に、上記フォトリソリットマスクをマスクとしてリンをイオン注入してエミッタ領域6aを形成し、フォトリソリットマスクを除去した後、熱処理を行って高濃度ベースポリシリコン膜4aの中のボロンを拡散させグラフトベース領域5aを形成するとともに低濃度ベースポリシリコン膜4bの低抵抗化を図る。

【0010】次に、CVD法により膜厚1000ÅのSiO₂膜を堆積し、異方性ドライエッチングによりベースポリシリコン膜4a、4bの側壁にのみ絶縁膜7aを形成する。その後、A1を異方性のある蒸着法により被着する。このときポリシリコン膜上のA1膜は他の部分のA1膜から分離されて形成される。このA1膜にフォトリソニングを施してベース電極8とエミッタ電極9を形成する。

【0011】図2の(a)は、本発明の第2の実施例を示す平面図であり、図2の(b)はそのB-B線断面図である。本実施例の第2の実施例と相違する点は、絶縁膜2の端面にテーパが設けられている点である。トランジスタをより高速化するには、エミッタ電極の電極引き出し部分の寄生容量を小さくする必要があるため、絶縁膜2を厚くする必要がある。しかし、絶縁膜を2000Å以上に厚くした場合、エミッタ電極が段差部で段切れをおこす恐れが生じる。そこで、本実施例では、絶縁膜

3

の端面にテーパを設けてこれを防止している。

【0012】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく各種の変更が可能である。例えば、絶縁膜2はLOCOS法によって形成することができ、またポリシリコン膜4a、4bは成膜時に不純物をドーピングするようにしてもよい。

【0013】さらに、ポリシリコン膜のパターンニングを、異方性の高いエッチングと等方性のエッチングとを併用して行なうようにすることができる。即ち、途中まで異方性の高いエッチングを施し、その後等方性のエッチングを行なうようにしてもよい。この方法によれば、サイドエッチ量をより正確にコントロールすることができる。なお、実施例にて示したトランジスタは個別部品であっても集積回路内の素子であってもよい。集積回路内で用いられる場合は、埋め込み層が設けられる。

【0014】

【発明の効果】以上説明したように、本発明の半導体装置では、ベースポリシリコン膜のサイドエッチ量でエミッタ領域—グラフトベース領域間の距離を決定できるため、この距離を例えば1000Åと小さくすることができる。従って、本発明によれば、エミッタ—ベース間の

4

抵抗を下げることができトランジスタの高速動作を達成することができる。さらに、本発明によれば、エミッタ電極およびベース電極をセルフアライン方式で形成できるため、半導体装置の微細化にも寄与することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す平面図と断面図。

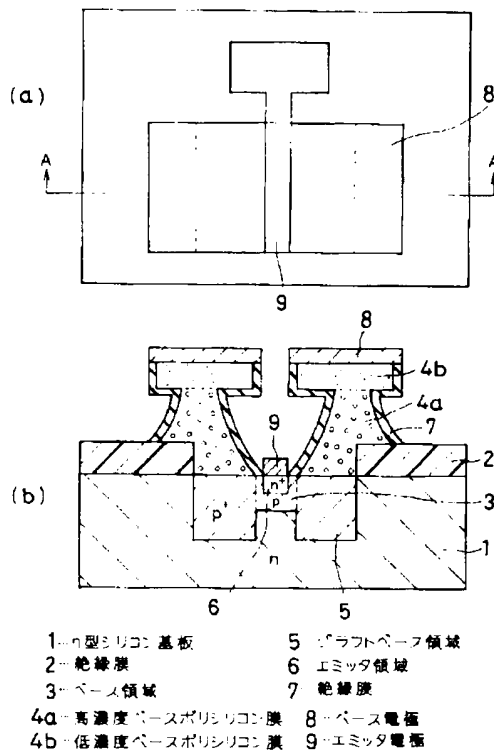
【図2】本発明の第2の実施例を示す平面図と断面図。

【図3】従来例の断面図。

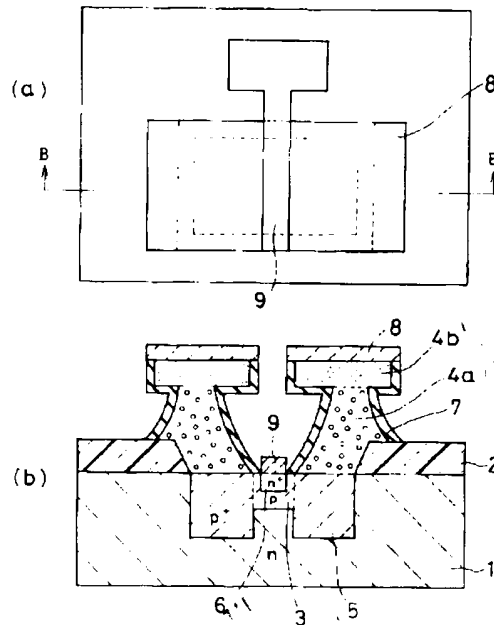
【符号の説明】

- 1 n型シリコン基板
- 2 絶縁膜
- 3 ベース領域
- 4、4a 高濃度ベースポリシリコン膜
- 4b 低濃度ベースポリシリコン膜
- 5 グラフトベース領域
- 6、6a エミッタ領域
- 7、7a 絶縁膜
- 8、8a ベース電極
- 9、9a エミッタ電極
- 10 高濃度エミッタポリシリコン膜

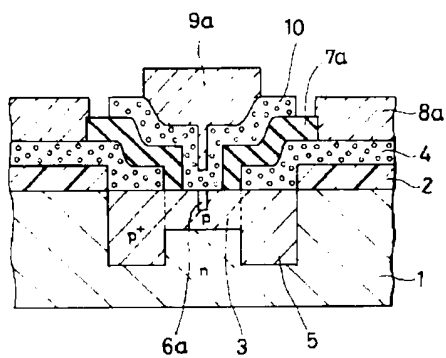
【図1】



【図2】



【図3】



6a...エミッタ領域 9a...エミッタ電極
 7a...絶縁膜 10...高濃度エミッタポリシリコン膜
 8a...ベース電極